

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Mitsushi IKEDA, et al.  
SERIAL NO: NEW APPLICATION  
FILED: HEREWITH  
FOR: X-RAY IMAGING DEVICE

GAU:  
EXAMINER:



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-346565	November 14, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

139 3276105

CERTIFIED COPY OF  
PRIORITY DOCUMENT

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月14日

出 願 番 号

Application Number:

特願2000-346565

出 願 人

Applicant(s):

株式会社東芝

J1046 U.S. PTO

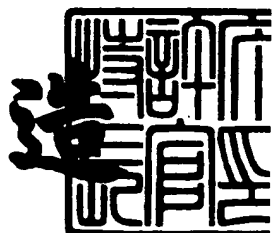
09/986896



2001年 8月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 13B0081231

【提出日】 平成12年11月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/14  
H01L 1/64

【発明の名称】 X線撮像装置

【請求項の数】 6

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
研究開発センター内

    【氏名】 池田 光志

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
研究開発センター内

    【氏名】 金野 晃

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
研究開発センター内

    【氏名】 岡 俊行

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100081732

    【弁理士】

    【氏名又は名称】 大胡 典夫

【選任した代理人】

    【識別番号】 100075683

【弁理士】

【氏名又は名称】 竹花 喜久男

【選任した代理人】

【識別番号】 100084515

【弁理士】

【氏名又は名称】 宇治 弘

【手数料の表示】

【予納台帳番号】 009427

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001435

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 X線撮像装置

【特許請求の範囲】

【請求項 1】 X線－電気変換層と、この層の一方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型T F Tと、前記ゲート電極に駆動電圧パルス印加して前記T F Tをスイッチング駆動するゲート駆動回路とからなり、

前記ゲート駆動回路は前記ゲート電極に動作時の駆動電圧パルスの平均極性と逆の極性の電圧パルスを非動作時に印加することを特徴とするX線撮像装置。

【請求項 2】 X線－電気変換層と、この層の一方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型T F Tと、前記ゲート電極に動作時に駆動電圧パルス印加して前記T F Tをスイッチング駆動するゲート駆動回路と、前記信号出力線に並列接続された少なくとも1段のゲート絶縁型T F Tで構成されるノイズ補正回路と、前記画素スイッチングT F Tの動作時に前記ノイズ補正回路のT F Tのゲート電極に前記駆動電圧パルスと逆極性のゲート電圧パルス印加する補正回路制御手段とからなり、

前記補正回路制御手段は前記ノイズ補正回路の前記ゲート電極に動作時のゲート電圧パルスの平均極性値を零または低減する方向の極性の電圧パルスを非動作時に印加することを特徴とするX線撮像装置。

【請求項 3】 X線－電気変換層と、この層の一方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型T F Tと、前記ゲート電極に動作時に駆動電圧パルス印加して前記T F Tをスイッチング駆動するゲート駆動回路と、前記信号出力線に並列接続された少なくとも1段のゲート絶縁型T F Tで構成されるノイズ補正回路と、前記画素スイッチングT F Tの動作時に前記ノイズ補正回路のT F Tのゲート

電極に前記駆動電圧パルスと逆極性のゲート電圧パルスを印加する補正回路制御手段とからなり、

前記ノイズ補正回路の前記 T F T のゲート電極の平均印加電圧が、前記画素スイッチング T F T の平均印加電圧とプラス、マイナス 3 0 % 以内で一致していることを特徴とする X 線撮像装置。

【請求項 4】 X 線－電気変換層と、この層の一方の面に配置された共通電極と、前記層の他方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型 T F T と、前記各画素電極に接続され画素電極電圧を保護電圧値を越えないように制限する M I S T F T でなる保護ダイオードと、前記共通電極に所定の電圧を印加する電源と、前記ゲート電極に動作時に駆動電圧パルスを印加して前記 T F T をスイッチング駆動するゲート駆動回路と、前記保護ダイオードに接続され前記電源の電圧よりも低電圧の制限電圧を印加する保護ダイオード電源回路とからなり、

前記保護ダイオード電源回路は非動作時に動作時の制限電圧よりも低い電圧を前記保護ダイオードに印加することを特徴とする X 線撮像装置。

【請求項 5】 前記 X 線－電気変換層が X 線像を直接的に電荷像に変換する層または X 線像を光像に変換し変換された光像を電荷像に変換する層からなる請求項 1 乃至 4 のいずれかに記載の X 線撮像装置。

【請求項 6】 前記非動作時がブランキング期間である請求項 1 乃至 4 のいずれかに記載の X 線撮像装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は X 線撮像装置に関する。

【 0 0 0 2 】

【従来の技術】

医用分野では X 線を利用した種々の診断装置が広く利用されており、その多くは X 線写真として診断に供される。

## 【 0 0 0 3 】

近年、治療を迅速かつ的確に行う目的で、患者の医療データをデータベース化する方向に進んでいる。患者が複数の医療機関を利用する場合、他の医療機関のデータがないと的確な治療行為が行えない可能性がある。例えば他の医療機関で投与された薬剤が不明であると新たに調合される薬剤が身体に副作用を及ぼすことがあるため、他医療機関のデータを考慮して適切な治療を行う必要がある。

## 【 0 0 0 4 】

X線撮影の画像データについても、他の医療機関で既に撮影されたデータが入手できるのであれば、迅速な対応が可能であり、改めて同じようなX線照射をしないですむ。医用X線診断装置では、従来銀塩フィルムを使用して撮影してきたが、これをデジタル化するためには撮影したフィルムを現像した後、再度スキャナー等で走査してデジタル信号化する必要があり、手間と時間がかかっていた。

## 【 0 0 0 5 】

データベース化のために、最近では1インチ程度のCCDカメラを組込んだI-I-TVが使用されている。しかし肺の撮影をする場合、40cm×40cm程度の大きなサイズに対する間接撮影となるため、解像度等が十分とはいえず、また装置も大かがりとなる。

## 【 0 0 0 6 】

これらの方式の問題点を解決するために、MISまたはMOSと称されているゲート絶縁型a-Si TFT（アモルファスシリコン薄膜トランジスタ）をスイッチング素子としてアレイ状に配列したX線平面検出器を用いたX線撮像装置が提案されている（例えば米国特許第4,689,487号明細書）。このX線平面検出器の構成を図7に示す。

## 【 0 0 0 7 】

図7において、画素101は、a-Si TFT 102、光電変換膜103および画素容量（Cst）104で構成され、画素101は、縦横の各辺に数百個から数千個並んだアレイ状になっている。光電変換膜103には電源105によってバイアス電圧が印加

される。a-SiTFT102は、信号線106と走査線107に接続されており、シフトレジスタからなる走査線駆動回路108によってオン・オフ制御される。信号線106の終端は、信号検出用の増幅器109に接続されている。

## 【0008】

ここで光電変換膜103は蛍光体層と光導電層との積層膜で形成され、蛍光体層にX線が当たって生じた光を光導電層が受けて電荷を発生する。

## 【0009】

X線が入射すると、光電変換膜103に電流が流れ、画素容量C<sub>st</sub>104に電荷が蓄積される。走査線駆動回路108で各走査線107を駆動し1つの走査線に接続している全てのTFT102をオンにすると、蓄積された電荷は信号線106を通過して増幅器109側に転送される。シフトレジスタ110で、1画素ごとの電荷は増幅器109から出力されCRTなどに表示できるように点順次信号に変換される。画素に入力する光の量によって電荷量が異なり、増幅器109の出力振幅は変化する。

## 【0010】

図7に示す方式は、増幅器109の出力信号をA/D変換することで、直接デジタル画像にすることができる。さらに、図中の画素領域は液晶表示装置などで周知のTFTスイッチング・アレイと同様な構成であり、薄形、大画面の装置が容易に製作できる。

## 【0011】

さてX線平面検出器の画素駆動用TFTの半導体は低温処理で製作できるa-Siやp-Si（多結晶シリコン）が用いられ、ゲート絶縁膜にプラズマCVD成膜のSiNやSiO<sub>2</sub>が主に用いられる。この絶縁膜は高温処理可能な単結晶半導体で生成される熱酸化膜よりも膜質が劣るために、信頼性や寿命が劣る。具体的にはTFTのゲート電極に+（プラス）バイアスを印加するとV<sub>th</sub>（閾値電圧）が+方向にシフトして電流が流れにくくなるという問題がある。これはゲート絶縁膜へのキャリアの注入が主な原因である。すなわち図8はSiO<sub>2</sub>の低温酸化膜でゲート絶縁膜を形成したTFTを80℃に保持してゲート・ソース電極間電圧を±25Vに維持したときの一実験例の特性で、時間tが経つにつれてV<sub>th</sub>が高い方にシフトしているのがわかる。場合によっては10<sup>4</sup>秒程度で



1 0 V以上シフトすることがある。

【0 0 1 2】

患者等を撮影する場合X線強度をなるべく弱くすることが必要であり、またダイナミックレンジを大きくとるために弱い信号も検出できることが好ましい。V t hの変動はこのような弱信号の検出を不安定にし、所望のレンジをとることができない。

【0 0 1 3】

また、弱信号を利用できる下限を決める要素に保護ダイオードのオフ電流、浮遊容量による信号シフト、オペアンプのノイズ等がある。ここに保護ダイオードはスイッチングT F Tの過電圧による破損から保護するために画素電極に接続され、画素電極が所定の電圧以上になったときに画素電極からリーク電流を流すものである。他方、この保護ダイオードのリーク電流は画素電極に接続されているC s tに蓄積された電荷を逃がしてしまうため、小さな信号に対して検出可能な最低信号レベルを限定してしまう。これを防止するためには、リーク電流を小さくすることが必要である。保護ダイオードはT F Tのゲート電極とソース電極（ドレイン電極）を接続して使用するのが一般的であり、T F Tの特性を揃える必要がある。

【0 0 1 4】

【発明が解決しようとする課題】

本発明はX線－電気変換面の信号出力が信号取出しのために組込まれるT F Tの閾値電圧変動による動作の不安定性を防止することを目的とするものである。

【0 0 1 5】

【課題を解決するための手段】

本発明における第1の発明は、X線－電気変換層と、この層の一方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型T F Tと、前記ゲート電極に駆動電圧パルスを印加して前記T F Tをスイッチング駆動するゲート駆動回路とからなり、

前記ゲート駆動回路は前記ゲート電極に動作時の駆動電圧パルスの平均極性

と逆の極性の電圧パルスを用いて非動作時に印加することを特徴とするX線撮像装置にある。

## 【0016】

画素スイッチング用ゲート絶縁型FETのゲート電極を駆動する電圧パルスの平均極性が偏ることにより発生するゲートの閾値電圧 $V_{th}$ のシフトをこの偏りと逆極性の電圧パルスを用いて非動作時に印加することにより、緩和することができる。

## 【0017】

第2の発明は、X線-電気変換層と、この層の一方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型TFTと、前記ゲート電極に動作時に駆動電圧パルスを用いて前記TFTをスイッチング駆動するゲート駆動回路と、前記ゲート線に並列接続された少なくとも1段のMISTFTで構成されるノイズ補正回路と、前記画素スイッチングTFTの動作時に前記ノイズ補正回路のTFTのゲート電極に前記駆動電圧パルスと逆極性のゲート電圧パルスを用いて印加する補正回路制御手段とからなり、

前記補正回路制御手段は前記ノイズ補正回路の前記ゲート電極に動作時のゲート電圧パルスの平均極性値を零または低減する方向の極性の電圧パルスを用いて非動作時に印加することを特徴とするX線撮像装置にある。

## 【0018】

ノイズ補正回路は、走査線に印加される駆動パルスによりオンする画素スイッチング用ゲート絶縁型TFTに接続された信号出力線の電位を、駆動パルスとは逆方向に降下させ、画素駆動用TFTにより発生する電荷パルスをキャンセルすることにより駆動パルスが信号出力に影響しないようにして、ノイズを低減する。具体的には走査線と信号出力線間の寄生容量を通してノイズとなるカップリング電荷が発生するが、この電荷をノイズ補正回路のTFTのゲート電極に例えば画素とは逆極性の電圧パルスを用いて印加してキャンセルする。このTFTの $V_{th}$ の変動を補正回路制御手段により零または低減する。

## 【 0 0 1 9 】

第 3 の発明は、X線－電気変換層と、この層の一方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型 T F T と、前記ゲート電極に動作時に駆動電圧パルスを印加して前記 T F T をスイッチング駆動するゲート駆動回路と、前記信号出力線に並列接続された少なくとも 1 段のゲート絶縁型 T F T で構成されるノイズ補正回路と、前記画素スイッチング T F T の動作時に前記ノイズ補正回路の T F T のゲート電極に前記駆動電圧パルスと逆極性のゲート電圧パルスを印加する補正回路制御手段とからなり、

前記ノイズ補正回路の前記 T F T のゲート電極の平均印加電圧が、前記画素スイッチング T F T のゲート電極の平均印加電圧とプラス、マイナス 3 0 % 以内で一致していることを特徴とする X 線撮像装置にある。

## 【 0 0 2 0 】

実用的な範囲の動作を確保するために、補正回路のゲート電極の平均印加電圧を画素スイッチング T F T のゲート電極の平均印加電位に対してこの範囲に抑えることが望ましい。

## 【 0 0 2 1 】

第 4 の発明は、X線－電気変換層と、この層の一方の面に配置された共通電極と、前記層の他方の面にアレイ状に配列された複数の画素電極と、各画素電極に接続されソース、ドレイン電極の一方が画素電極に、他方が信号出力線に、ゲート電極が走査線に接続された画素スイッチング用ゲート絶縁型 T F T と、前記各画素電極に接続され画素電極電圧を保護電圧値を越えないように制限する M I S T F T でなる保護ダイオードと、前記共通電極に所定の電圧を印加する電源と、前記ゲート電極に動作時に駆動電圧パルスを印加して前記 T F T をスイッチング駆動するゲート駆動回路と、前記保護ダイオードに接続され前記電源の電圧よりも低電圧の制限電圧を印加する保護ダイオード電源回路とからなり、

前記保護ダイオード電源回路は非動作時に動作時の制限電圧よりも低い電圧を前記保護ダイオードに印加することを特徴とする X 線撮像装置にある。

## 【 0 0 2 2 】

X線－電気変換層にS e層などのX線感応層を用いる場合はとくに層間に10 k Vというような高電圧がかけられるために、画素電極に過大電圧がかかる場合があり、スイッチングT F Tを損傷する可能性がある。そこで保護用のダイオードを各画素に接続する。これらの保護ダイオードはT F Tのドレイン電極とゲート電極とを画素電極に接続して構成されており、スイッチングT F Tと同じく同一基板上に形成されて同様のゲート絶縁膜構成をもっており、ゲート電極電圧の平均極性の偏りによってV t hがシフトする。このV t hのシフトをダイオード電源回路電圧を非動作時に変化させることにより緩和する。

## 【 0 0 2 3 】

第5の発明は、前記X線－電気変換層がX線像を直接的に電荷像に変換する層またはX線像を光像に変換し変換された光像を電荷像に変換する層からなるX線撮像装置にある。本発明はX線像を直接、電荷像に変換する層にも、いったん光像に変換した後、電荷像に変換する間接的な層にも適用することができる。

## 【 0 0 2 4 】

第6の発明は、前記非動作時がブランキング期間である線撮像装置にある。

## 【 0 0 2 5 】

本発明における画像走査は通常のT V走査方式と同様でよく、T Vの帰線期間であるブランキング期間を非動作期間として、この間のX線照射を停止して照射線量の低減をはかるのが好ましい。この非動作時にV t hシフトを緩和することができる。

## 【 0 0 2 6 】

## 【発明の実施の形態】

図1乃図4で本発明の一実施形態を説明する。

## 【 0 0 2 7 】

図2および図3はガラス基板上に多数の画素をマトリクス状に形成したX線－電気変換装置における、一画素を拡大して示すもので、図2は平面図、図3は図2のA－A線に沿う断面図である。

## 【 0 0 2 8 】

ガラス基板10上にTa、Al、Al合金またはMoWからなる1層で形成するか、Ta-TaN<sub>x</sub>の2層構造からなる金属膜を300nm堆積させ、エッチングによってゲート電極21、走査線11、画素容量Cst12、Cst線13の各パターンを同時に形成する。

## 【0029】

次にプラズマCDV法により絶縁膜22として、SiO<sub>x</sub>約300nm、SiN<sub>x</sub>約50nmを積層した後、アンドープa-Si24を約100nm、ストッパ（図示しない）としてSiN<sub>x</sub>を約200nm堆積する。ストッパを裏面露光を用いてゲートに合わせてパターンニングし、n<sup>+</sup>a-Si25を約50nm堆積した後に、TFT20にあわせてa-Si24、n<sup>+</sup>a-Si25をエッチングし、a-Siの島を形成する。画素エリア外のコンタクト部のSiN<sub>x</sub>/SiO<sub>x</sub>をエッチングしコンタクトホールを形成する。この上にMoを約50nm、Alを約350nmスッパタして積層し、ソース電極27、ドレイン電極28、補助容量電極12や、信号出力線15、その他の配線を形成する。

## 【0030】

次にSiN<sub>x</sub>を約200nm、その上に感光性アクリル系樹脂を約1～5μm、好ましくは約3μm積層して保護膜16を形成する。画素スイッチング用となるa-SiTFT20と補助容量電極12へのコンタクトホールを形成した後に、ITOを約100nmの膜厚で画素電極17を形成する。その上層に、X線-電気変換層となるSe層18を形成する。Se層はコンタクト用のn型Se膜を1～100μm、好ましくは約30μm成膜し、その上に抵抗率約10<sup>-12</sup>～10<sup>-16</sup>ΩcmのSe膜を500～1000μm好ましくは約30μm成膜、その上にp型Se膜を約1～100μm好ましくは約30μm成膜して構成され、その上に、共通電極19として、約100μmのAlを形成する。最後に駆動回路に接続する。これにより、X線-電気変換層の一方の面にアレイ状の画素電極とnチャンネル型の画素スイッチングTFTが配置された構造のX線撮像装置が得られる。

## 【0031】

図1に図2および図3で説明した画素をもつ、直接変換型X線撮像装置の等価回路を示す。この回路では、画素30は、画素スイッチングa-SiTFT20、

X線－電気変換層18および画素容量(以下Cstとする)12で構成され、画素30は、縦横の各辺に数百個から数千個並んだアレイ状(以下T F Tアレイと呼ぶ)になっている。X線－電気変換層18には共通電極19に接続された電源(図示せず)によって負のバイアス電圧が印加される。画素スイッチングa－S i T F T 20は、信号出力線15と走査線11に接続されており、走査線駆動回路31によってゲートパルスが印加されオン・オフが制御される。すなわちT F T 20は画素電極17にソース電極27かドレイン電極28の一方が接続され、他方が信号出力線15に接続され、さらにゲート電極21が走査線11に接続される。

## 【 0 0 3 2 】

信号出力線15の終端は、信号検出増幅器32に接続されている。画素アレイ部33の外部の周辺回路の一部としてノイズ補正回路34が信号出力線15に並列して接続されている。ノイズ補正回路34は画素スイッチングT F T 20と同様に形成された補正用T F T 40と容量41の直列回路で構成され、信号出力線15に接続配置される。補正用T F Tのドレイン電極は容量を介して接地またはその近傍の電位のバイアス電源に接続される。補正回路はパルス補正ゲート制御回路43により、補正用T F T 40のゲート電極に負の電圧(ゲートパルス)を印加して、画素スイッチングT F T 20のゲート電極21のスイッチングにより発生する寄生容量とのカップリングにより発生するノイズ信号分を差し引き、画素電極で集められ蓄積容量に蓄積されて電荷分のみを検出する。

## 【 0 0 3 3 】

図4は本実施形態で画素回路およびノイズ補正回路に印加されるゲートパルス波形および画素電位を示すもので、アレイ配列の画素電極はT V走査と同じく水平、垂直走査期間とその間のブランキング期間で構成するフレーム期間を単位とする画像読み出し方式をとり、ブランキング期間をX線照射停止の非動作期間に設定する。

## 【 0 0 3 4 】

図において、各画素の読込み時間以外はスイッチングT F Tのゲート電極に負(－8 V)の電圧が印加され、読取り時のみ、正(+25 V)のゲートパルス電圧が印加されてオンとなる。図はn番目のT F Tのゲート電極にゲートパルス

が印加された状態を示している。

#### 【0035】

一方、ノイズ補正回路34ではゲート電圧 ( $V_g$ ) として各信号出力線15からのデータ読み込み時間  $t_0$  に同期して通常の画素とは逆極性のマイナスのゲートパルス印加して、寄生容量とのカップリング電荷をキャンセルする。このため、図4のパルス図形に示すように、ノイズ補正回路には通常、正の標準ゲート電圧が印加され、1フレーム当たり信号出力線の数だけ負のパルスが印加される。参考のために  $(n+1)$  番目の画素スイッチングTF Tのゲートルスとノイズ補正回路のゲートパルスの対応を示す。この図の場合には1信号出力線当たり複数のノイズ補正画素で表示用画素のノイズをキャンセルするために、補正回路のTF Tには正極性の標準ゲート電圧 ( $+2V$ ) に対して、数倍の値の負の極性の電圧パルス ( $-8V$ ) が印加される。通常の表示用画素では1フレームに1回のみ正のパルスが印加されるが、補正回路では時間平均して負極性の電圧が印加され、実質的には負極性のゲート電圧が印加されている時間が長い負の平均極性の状態になる。

#### 【0036】

図4の結果から分かるように、画素スイッチングTF Tは負の極性のゲート電圧の印加される状態が長く、時間軸における平均電圧値は負極性であり負の平均極性となり、負の  $V_{th}$  シフトを示す。

本実施形態ではこれらの  $V_{th}$  シフトを補正するために、読み込みに関係の無いブランキング期間  $t_2$  すなわち非動作時に、画素スイッチングTF Tに対して、正のゲート電極パルス ( $V_{gp} (BLNK)$ ) を印加して、 $V_{th}$  シフトを減少させる。この補正パルスはTF Tをオン状態にしない値を選ぶ。

#### 【0037】

さらにノイズ補正回路のTF Tのゲート電極に正のゲート電極パルス ( $V_{gc} (BLNK)$ ) ( $+2.5V$ ) を印加して  $V_{th}$  を減少させる。

#### 【0038】

これにより、補正パルスを加えない場合よりも画素回路とノイズ補正回路のTF Tの  $V_{th}$  の差を小さくすることができる。

【0039】

$V_{th}$ のシフトは、式(1)により表される。

【0040】

$$dV_{th} = A \exp(-eE_a/kT) (\log t)^\beta (|V_g|)^\gamma \dots (1)$$

$dV_{th}$ は $V_{th}$ のシフト量、 $t$ はゲート電圧の実効的印加時間、 $V_g$ はゲート電圧、 $T$ は絶対温度、であり、 $A$ 、 $E_a$ 、 $\beta$ 、 $\gamma$ はTFTにより決まり、通常正の $V_g$ で、 $A$ は2～5(3.5)、 $E_a$ は0.2～0.35(0.25)、 $\beta$ は2～5(3)、 $\gamma$ は1～2.5(1.7)程度の値を取り、括弧内は標準的な値である。負の $V_g$ では $A$ は-5～50(30)、 $E_a$ は0.25～0.5(0.4)、 $\beta$ は2～5(3)、 $\gamma$ は1～3(2)程度の値を取る。正確に $V_{th}$ を補正するためにはTFTの特性に応じて補正すればよい。正と負の $V_g$ による $V_{th}$ シフトの極性が逆であり、時間平均 $V_g$ が実効的な $V_g$ となるため、逆極性の $V_g$ を印加することにより $V_{th}$ シフトをキャンセルできる。

【0041】

画素回路およびノイズ補正回路への補正ゲートパルスの適用は、上述のように両者に対して実施したが、いずれか一方の回路に適用しても効果があることは言うまでもない。

【0042】

また、このような効果はX線により蛍光体を光らせて得られる光学像を光導電膜で電荷像に変換する間接変換型のX線-電気変換層においても同様に得ることができる。

【0043】

また次に、より簡単に $V_{th}$ シフトをキャンセルする第2の実施形態を示す。これはノイズ補正回路と画素回路の平均的な印加電圧を或る関係に保つことにより実現できる。通常は+ (正) バイアスの総加算時間と- (負) バイアスの総加算時間をほぼ等しくすることにより実現できる。また負バイアスによるシフトが正バイアスシフトより小さいために負バイアスの印加時間をより長くしても良い。



## 【 0 0 4 4 】

すなわち以下の式 (2) の関係を満足することにより実現できる。この式は 1 フレーム時間内での印加パルスの電圧と時間の積の総和を表している。平均バイアスはこの総和をパルスの印加時間で割ればよい。

## 【 0 0 4 5 】

$$\begin{aligned} & V_{gp}(L) \times (N_{sig}-1) \times (t_{gp}(H)+t_{gp}(L)) + V_{gc}(H) \times 1 \times t_{gc}(H) \\ & = (V_c(H) \times t_c(H) + V_c(L) \times t_c(L)) \times N_{sig} \quad \dots (2) \end{aligned}$$

ここで記号は図 4 に示す。添え字の p は画素回路の T F T、c は補正回路の T F T へのパルスを示す。例えば、 $t_{gc}(L)=t_{gp}(L)=24 \mu s$ 、 $t_{gc}(H)=t_{gp}(H)=6 \mu s$ 、 $V_{gc}(L)=-8V$ 、 $V_{gc}(H)=2V$ 、 $N_{sig}=1550$ 、 $V_{gp}(H)=24V$ 、 $V_{gp}(L)=-6V$ とすることにより補正回路と画素回路の  $V_{th}$  シフトを揃えることができる。このとき  $V_{gc}(H)=2V$ 、 $V_{gc}(L)=-8V$ とすればよい。

## 【 0 0 4 6 】

また、画素回路 T F T のゲート電極の振幅は  $24 - (-6) = 30 V$  であり、補正回路の振幅は  $2 - (-8) = 10 V$  であるため、補正回路 T F T を画素回路 T F T の 3 倍の 3 個、すなわち 3 段として、これで 1 画素回路を補正して画素スイッチング T F T の容量によるノイズをキャンセルすることができる。補正画素のゲートパルスは画素回路の電圧やパルス振幅に合わせてほぼ式 (2) に合わせることにより、画素回路と補正回路の  $V_{th}$  シフトを合わせることができる。

## 【 0 0 4 7 】

本実施形態のようにブランキング時間でのゲート補正パルスを印加しなくても式 (2) を満足できれば、ブランキングゲートパルスを印加しなくても良い。式 (2) は 1 フレーム期間内での印加パルスの電圧と時間の積の総和を表しており、これを 1 フレーム期間で割れば、時間平均の印加電圧を表すが、この時間平均の印加電圧の差が画素スイッチング T F T とそれ以外の T F T の間で  $\pm 30 \%$  以内であれば  $V_{th}$  シフトの差は実用的な範囲内で動作に問題ない。また、図 4 に示すように画素 T F T への実質的なゲート印加電圧は  $V_{gp} - V_p$  で有り、これは  $V_{gp}$  とは異なるため、厳密に調整しても良いが、画素スイッチング T F T との平均的な印加電圧差が  $\pm 30 \%$  以内であれば実用的には差し支えない。

## 【 0 0 4 8 】

図 5 は本発明の第 3 の実施形態を示すもので、直接変換型で S e の X 線 - 電気変換層に + 3 k V ~ + 1 0 k V の正バイアスを印加して動作させる場合に、画素電位の高電圧による T F T や蓄積容量の絶縁破壊を防止するための保護ダイオードを使用する場合がある。このような場合についても同様の V t h 変動対策を施すことができる例を示すものである。この場合、S e は画素電極上に p 型、i 型、n 型の順に形成される。

## 【 0 0 4 9 】

図は保護ダイオードを接続した画素の等価回路を示す。なお図 1 乃至 4 と同符号の部分は同様部分を示す。保護ダイオード 50 は複数の T F T の直列接続により形成されている。図では 2 個の T F T 51、52 が直列接続され各ゲート電極 53 と一端のドレイン電極 54 が画素電極 17 に、他方の端のソース電極 55 が保護ダイオード電源回路 56 に接続される。

## 【 0 0 5 0 】

直接変換型では X 線 - 電気変換層の共通電極 19 にバイアス電源 5 7 から 3 ~ 1 0 k V の強い電圧を印加するために、強い強度の X 線が照射された場合には画素電極 17 の電位が上がり画素スイッチング T F T 20 や蓄積容量 12 の絶縁を破壊する可能性があるため、画素電極 17 に最高規制電位を規定しなければならない。最高規制電位は保護ダイオード 50 のバイアス電位で規定でき 1 0 ~ 3 0 V 程度に設定する。このバイアスが保護ダイオードバイアス電源 56 から常時印加されるために画素電位と保護バイアスの差の正電圧が常に保護ダイオードの T F T 50 に印加され V t h の + シフトを発生させ保護バイアスの閾値を変化させる。

## 【 0 0 5 1 】

この閾値の変化を減少させるために、図 6 に示すように、画素電位の読み出し直後 t 1 やブランキング期間 t 2 に規定電圧以下 0 V 程度までの補正電圧パルス V c、V c ( B L N K ) を印加することにより V t h の増加を防止できる。すなわち動作時に付勢される電圧の平均極性と逆極性の電圧を、信号取出しに支障のない信号読取り直後やブランキング期間に印加することで V t h シフトを抑えることができる。この補正電圧パルスの電圧の負の値が通常のバイアス電圧値に対

してTFTの $V_{th}$ を超えると保護ダイオードがオンされ画素電極17の信号電荷が保護ダイオード電源回路56側に流出するために負の電圧は $V_{th}$ を超えない範囲で設定する必要がある。

#### 【0052】

以上実施形態ではTFTをnチャンネル型、またa-Si(アモルファス・シリコン)で形成した例について説明したが、pチャンネル型、またpoly-Si(ポリ・シリコン)で形成したものでも同様の $V_{th}$ 変動対策の効果がある。poly-Siで形成すると、TFTを小さくすることが出来るので、画素の有効エリアが拡大し、また、周辺回路も同じガラス基板上で作成出来るため、周辺回路を含めた製造コストが安くなるという利点がある。

#### 【0053】

TFTの $V_{th}$ 変動はゲート絶縁膜の種類や膜質、パシベーション絶縁膜等により多少変化するが、逆極性の補正パルスの値、タイミング等は、TFTの $V_{th}$ 変動の特性に合わせて設計することで、最適値を得ることができる。また、画素TFTやノイズ補正TFTのゲートパルスの形状は用途に応じて変更しても本発明を適用でき、駆動時の平均的なバイアスと逆の極性の電圧を非動作時に印加すればよい。ノイズ補正回路の段数は目的により適宜変更してもよく、画素用TFTのゲート電圧の振幅がい1個の補正用TFTのゲート振幅と段数の積にほぼ等しくなればよい。また、電源投入し、X線非照射時で撮像していない時に、通常使用時と逆の極性のバイアスを印加するのも $V_{th}$ 変動対策に有効である。

#### 【0054】

##### 【発明の効果】

このように、医用X線診断装置のX線撮像装置の画素または周辺回路に用いられるTFTのゲート・ソース電極間の電位に通常使用時の逆の極性のパルスを印加することにより $V_{th}$ 変動を押さえることができ、これにより各TFTの $V_{th}$ 変動をほぼ同じ値に保つことができるために検出器全体の特性変動を押さえたり、揃えたりすることができる。これにより弱いX線強度で人体に安全な状態で使用することができる。

##### 【図面の簡単な説明】

【図 1】

本発明の一実施形態の X 線撮像装置の回路略図。

【図 2】

本発明の一実施形態の画素部分の一部を拡大した平面図。

【図 3】

図 2 の A - A 線に沿う断面図。

【図 4】

本発明の一実施形態の電圧パルス波形を説明する図。

【図 5】

本発明の他の実施形態の回路略図。

【図 6】

本発明の他の実施形態の電圧パルス波形を説明する図。

【図 7】

従来例の回路図。

【図 8】

T F T の閾値電圧  $V_{th}$  のシフトを説明する  $\log t - \Delta V_{th}$  曲線図。

【符号の説明】

- 1 1 : 走査線
- 1 2 : 画素容量
- 1 5 : 信号出力線
- 1 7 : 画素電極
- 1 8 : X 線 - 電気変換層
- 1 9 : 共通電極
- 2 0 : 画素スイッチング T F T
- 2 1 : ゲート電極
- 2 7 : ソース電極
- 2 8 : ドレイン電極
- 3 0 : 画素
- 3 1 : 走査線駆動回路

3 2 : 信号出力増幅器

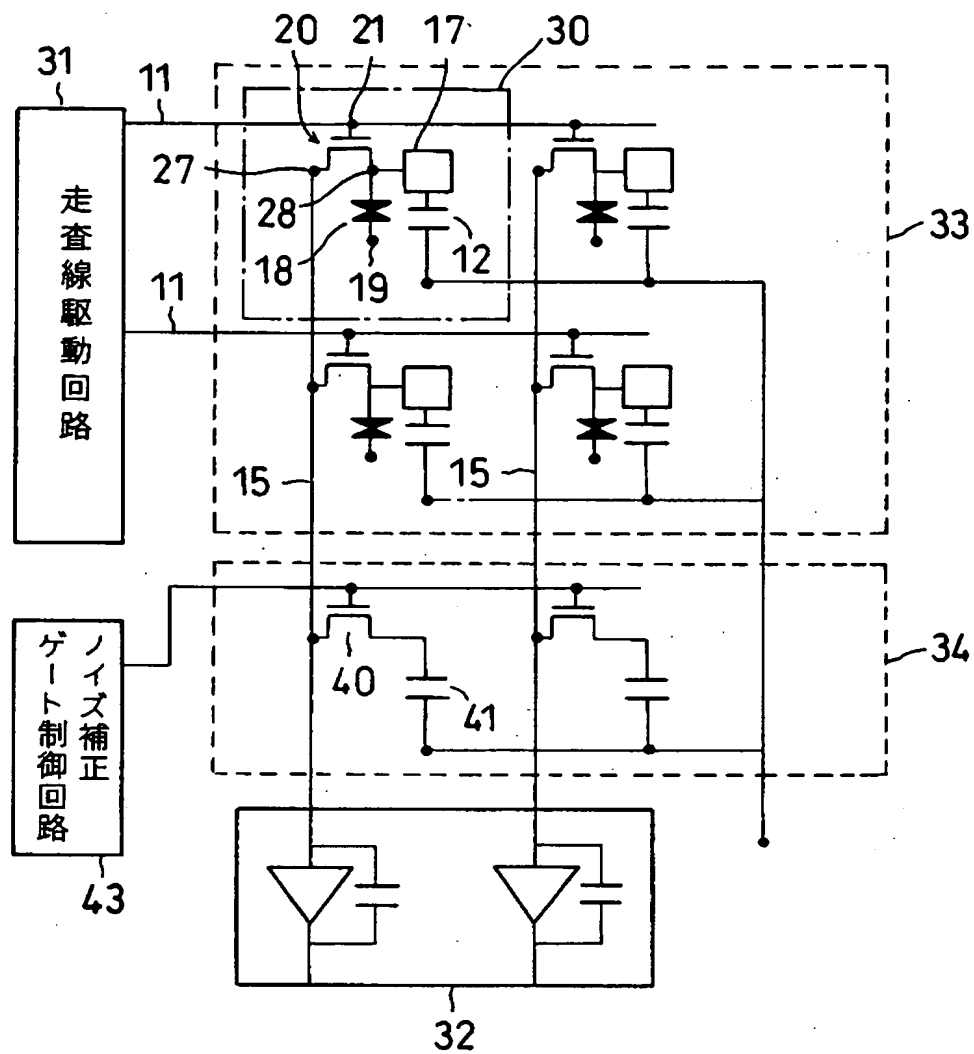
3 3 : 画素回路

3 4 : ノイズ補正回路

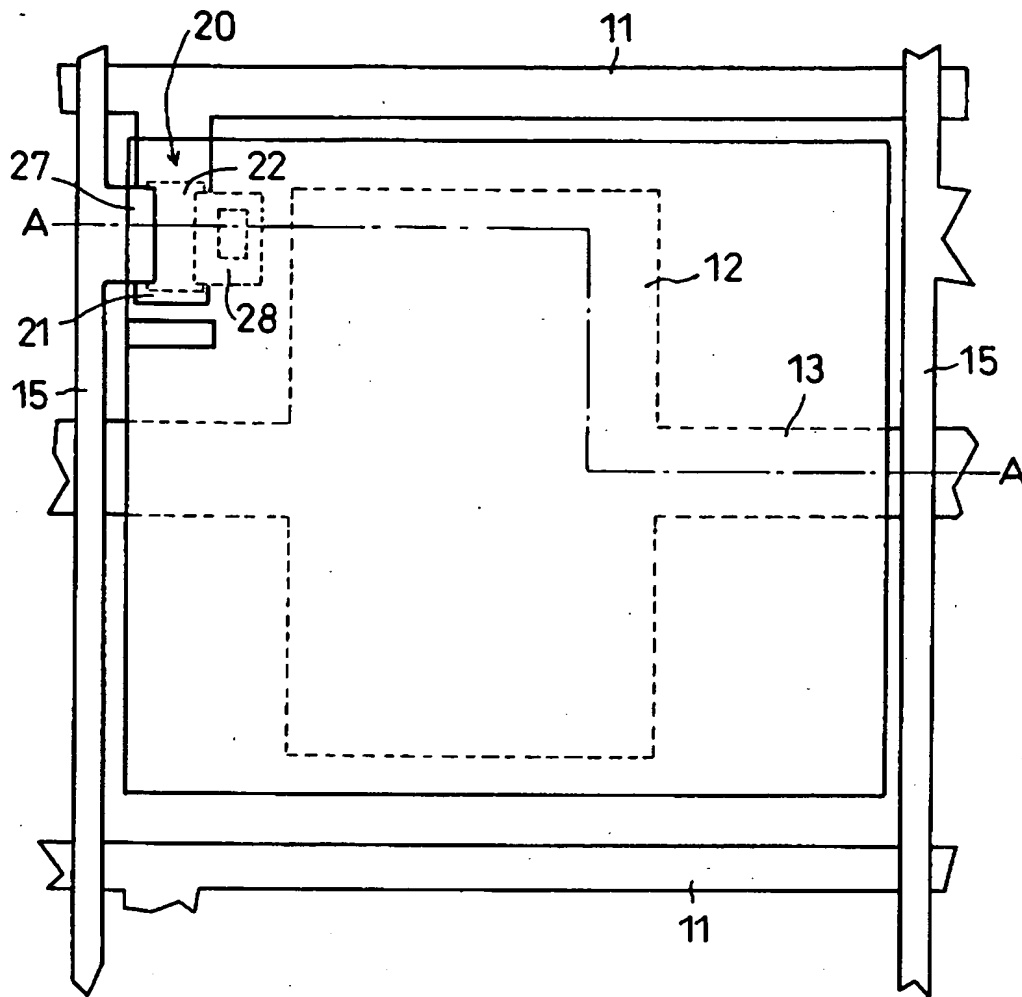
3 5 : ノイズ補正ゲート制御回路

【書類名】 図面

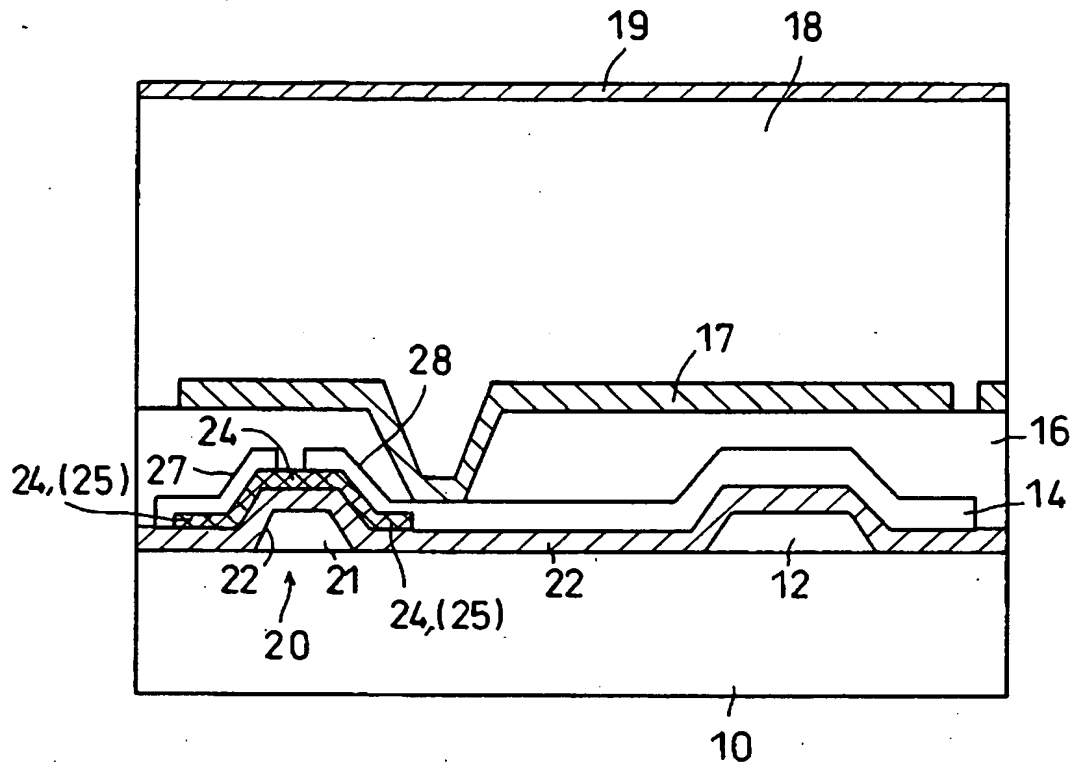
【図 1】



【図2】

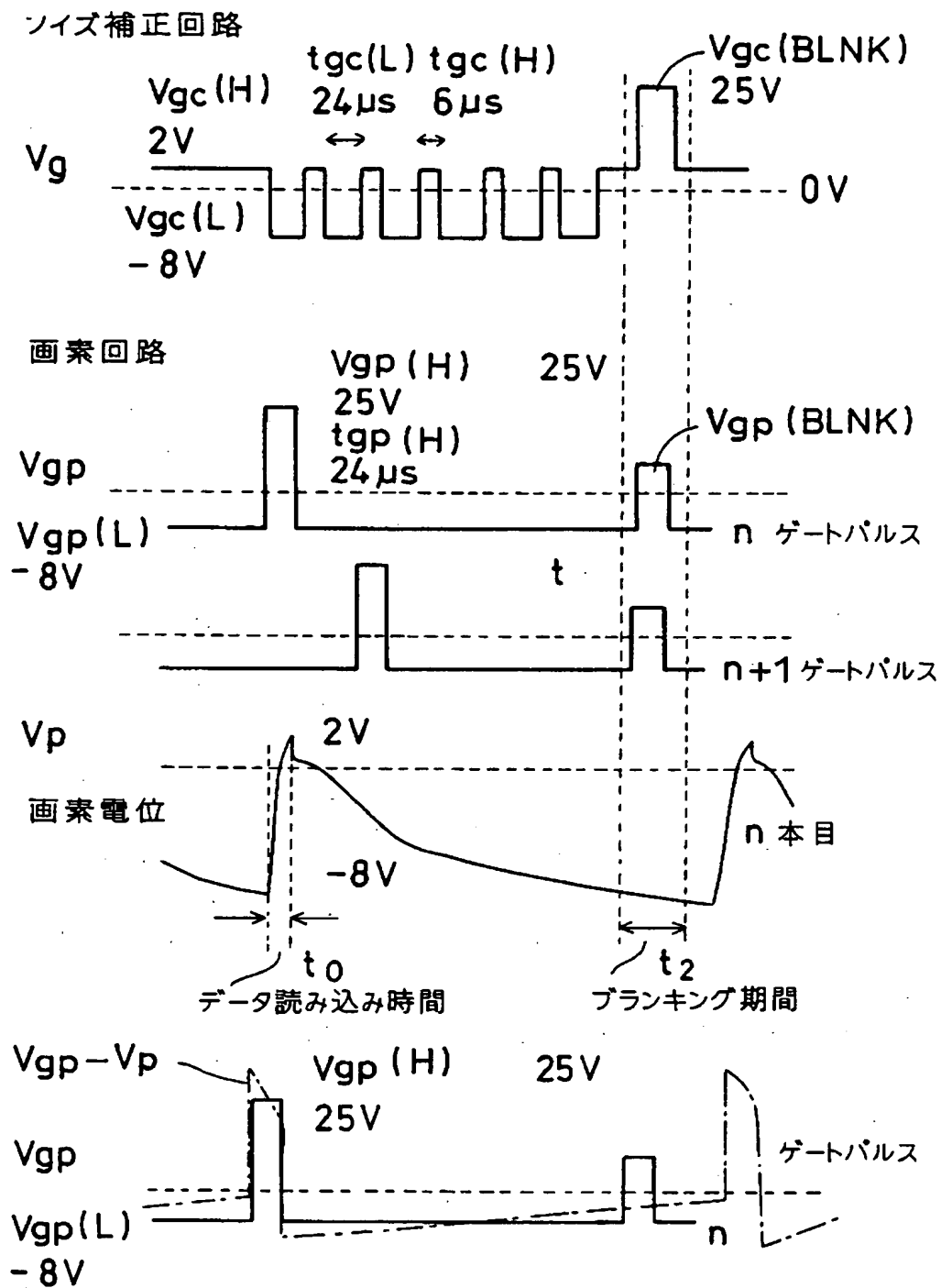


【図 3】

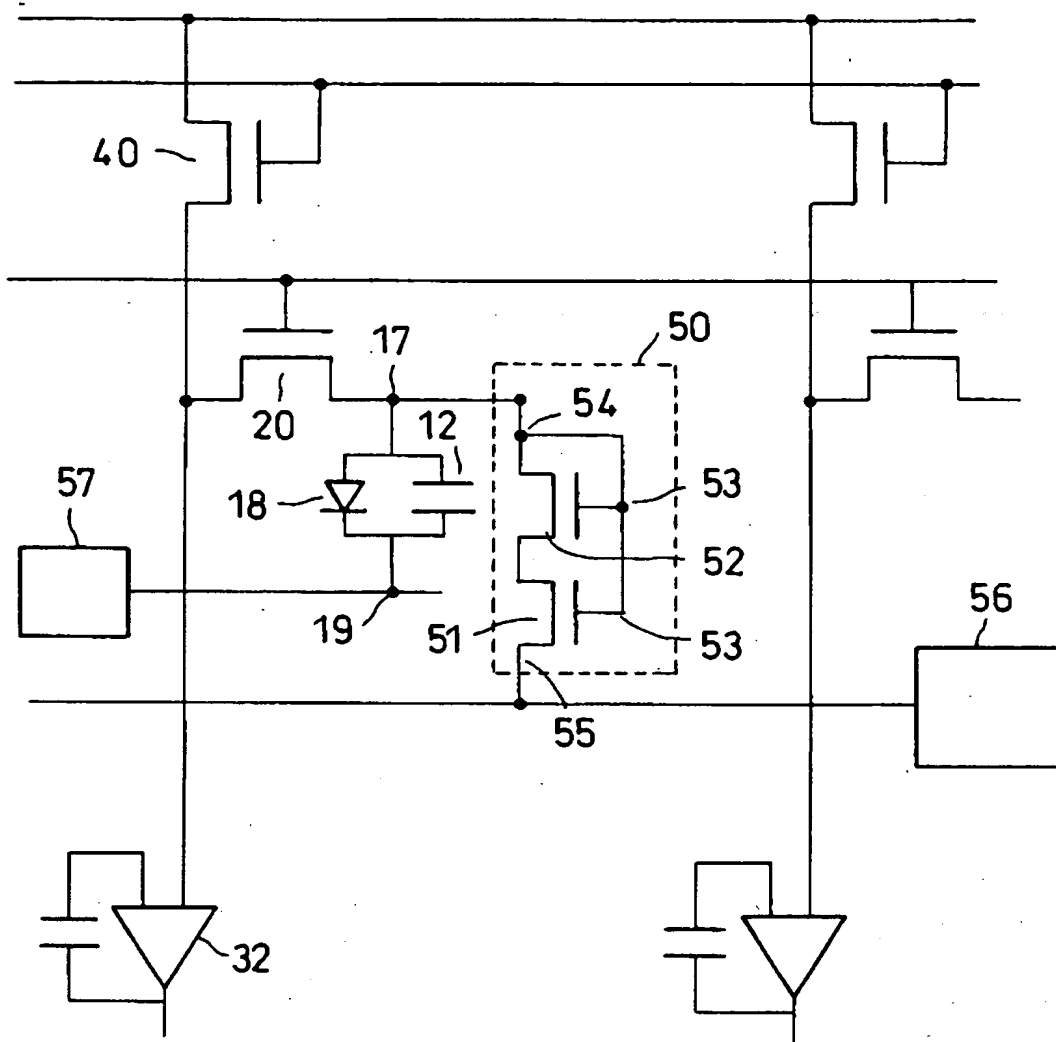




【図4】

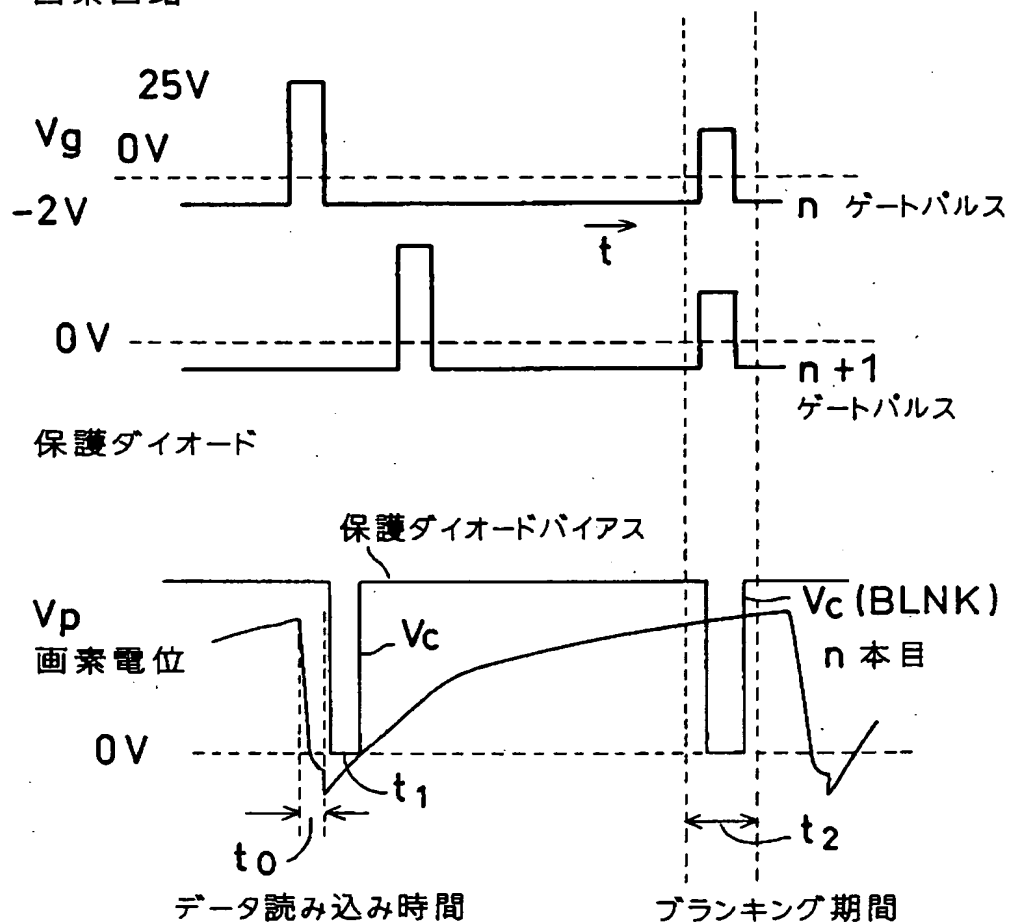


【図 5】

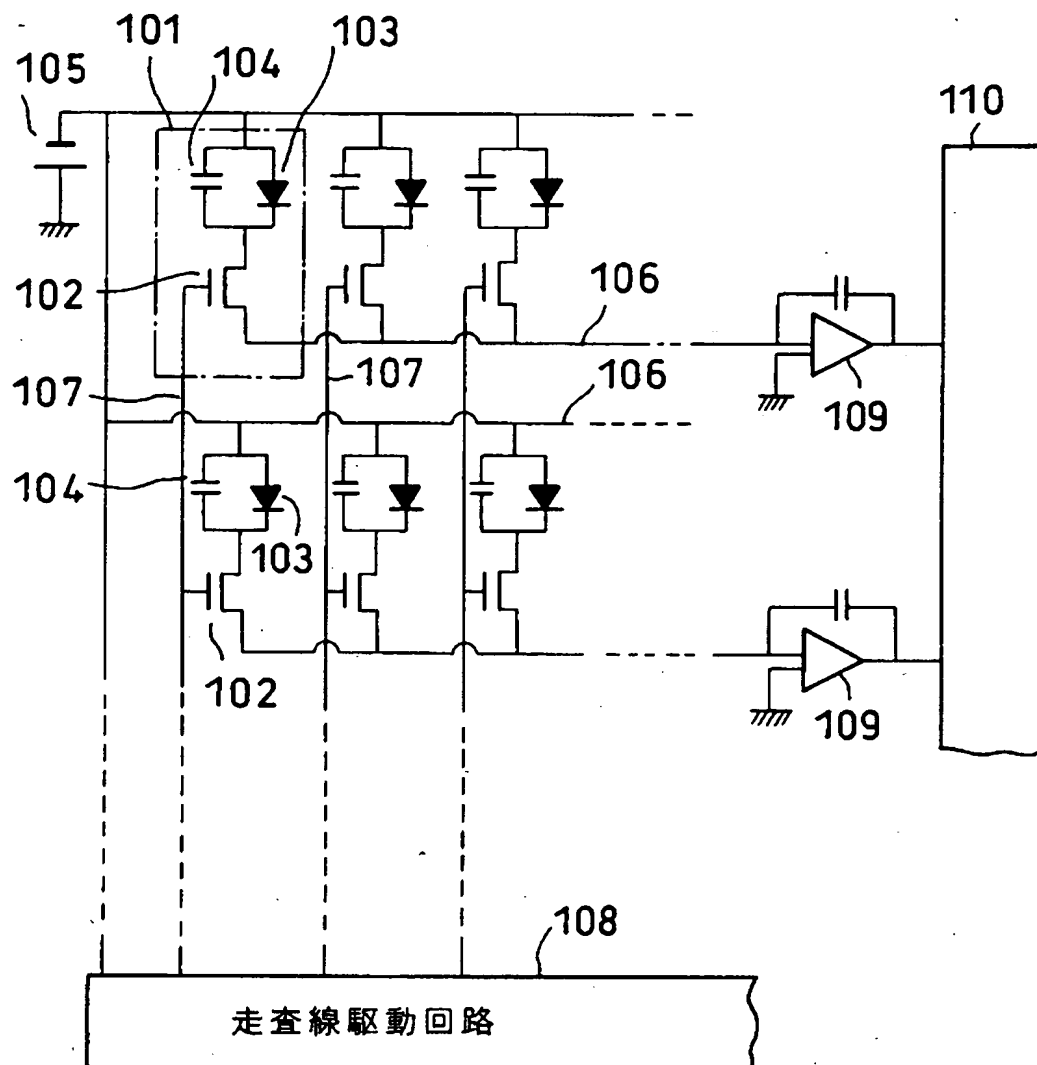


【図6】

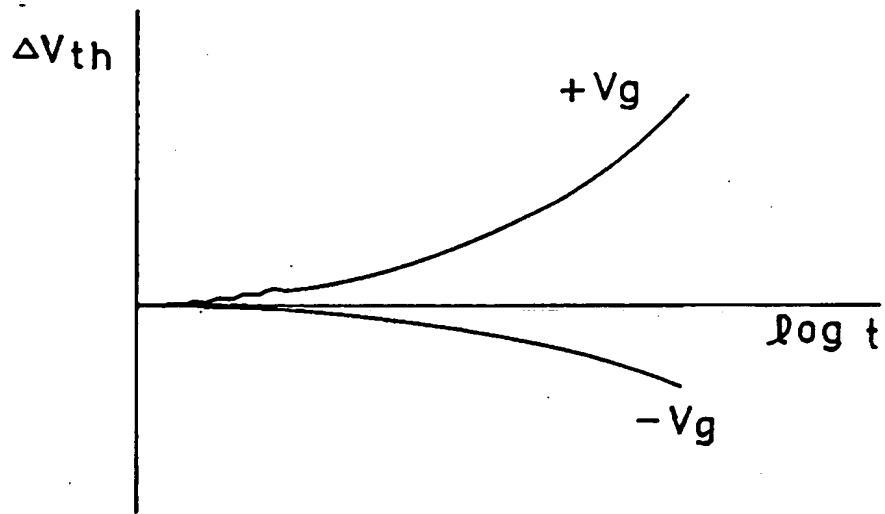
画素回路



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 X線－電気変換層の信号出力が信号取出しのために組込まれるT F Tの閾値電圧変動による動作の不安定性を防止する。

【解決手段】 X線－電気変換層18に画素電極17をアレイ状に配設し、信号を取出すために各画素電極に接続された画素スイッチング用のゲート絶縁型T F T 20のゲート電極21に動作時にかかる電圧の平均極性と逆の極性の電圧パルスを非動作時に印加することにより、T F Tの閾値電圧（ $V_{th}$ ）の変動を抑える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝